

DERWENT-ACC-NO: 1996-448673

DERWENT-WEEK: 199645

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Ferroelectric capacitor for
semiconductor memory cell
e.g. DRAM cell - has titanium oxide
layer positioned at boundary of PZT ferroelectric film
and platinum@ electrode

PATENT-ASSIGNEE: NIPPON TEXAS INSTR KK[TEXI]

PRIORITY-DATA: 1995JP-0047863 (February 13, 1995)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC
JP 08222711 A		August 30, 1996	N/A
011	H01L 027/108		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
JP 08222711A	N/A	
1995JP-0047863	February 13, 1995	

INT-CL (IPC): H01L021/822, H01L021/8242 , H01L027/04 ,
H01L027/108

ABSTRACTED-PUB-NO: JP 08222711A

BASIC-ABSTRACT:

The capacitor includes a Pt electrode (6) over which a PZT ferroelectric film (17) is laid.

Inbetween this ferroelectric film and Pt electrode, a TiOx layer (31) is positioned.

ADVANTAGE - Enhances electrical property of capacitor.
Avoids increase in
contact resistance of capacitor.

CHOSEN-DRAWING: Dwg.1/18

DERWENT-CLASS: L03 U12 U13 U14

CPI-CODES: L03-G04A; L04-C14A;

EPI-CODES: U12-C02C; U12-Q; U13-C04B1A; U14-A03B4;
U14-A03F;

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-222711

(43) 公開日 平成8年(1996)8月30日

(51) Int.Cl. ⁹	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 27/108		7735-4M	H 0 1 L 27/10	6 5 1
21/8242			27/04	C
27/04				
21/822				

審査請求 未請求 請求項の数 8 F D (全 11 頁)

(21) 出願番号 特願平7-47863

(22) 出願日 平成7年(1995)2月13日

(71) 出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都港区北青山3丁目6番12号 青山富士ビル

(72) 発明者 青木 克裕

茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内

(72) 発明者 福田 幸夫

茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内

(72) 発明者 西村 明俊

茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内

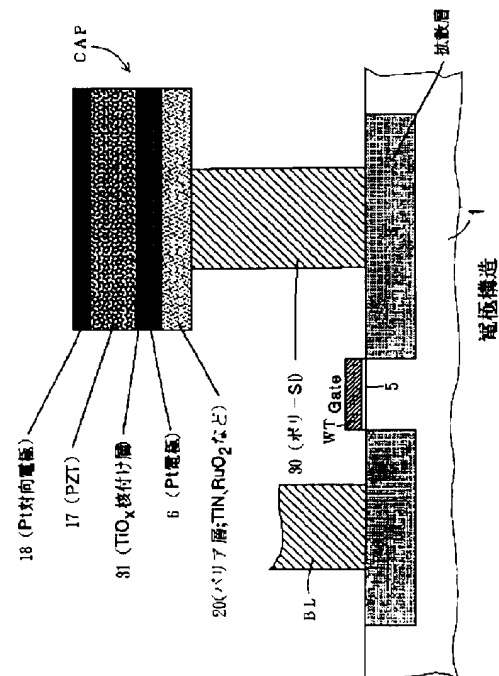
(74) 代理人 弁理士 佐々木 聖孝

(54) 【発明の名称】 強誘電体キャパシタと、強誘電体キャパシタ及び強誘電体膜の形成方法

(57) 【要約】

【構成】 P₊電極6と、この電極上に形成されたPZT強誘電体膜17とを具備し、電極6とPZT強誘電体膜17との界面に、前記強誘電体膜の構成金属元素の酸化物の1つであるTiO_x層31が堆積されている強誘電体キャパシタと、その形成方法。

【効果】 ソルゲル法等の成膜方法において緻密な構造であってかつ良好な電気的特性を示すPZT等の強誘電体薄膜の形成を可能にする電極構造を有するキャパシタと、このキャパシタ及び強誘電体膜の形成方法を提供することができる。



【特許請求の範囲】

【請求項1】 電極と、この電極上に形成された強誘電体膜とを具備し、前記電極と前記強誘電体膜との界面に、前記強誘電体膜の構成金属元素のうちの少なくとも1種の元素の酸化物が堆積されている強誘電体キャパシタ

【請求項2】 電極が常温で酸化されにくい導体からなり、酸化物が常温で酸化され易い金属の酸化物からなる、請求項1に記載した強誘電体キャパシタ。

【請求項3】 酸化物が、膜厚0.01~10nmの堆積物からなる、請求項1又は2に記載した強誘電体キャパシタ。

【請求項4】 電極下にバリア層が設けられている、請求項1~3のいずれか1項に記載した強誘電体キャパシタ

【請求項5】 強誘電体膜がチタン酸ジルコン酸鉛系である、請求項1~4のいずれか1項に記載した強誘電体キャパシタ

【請求項6】 請求項1~5のいずれか1項に記載した強誘電体キャパシタを形成するに際し、前記強誘電体膜の構成金属元素のうちの少なくとも1種の元素の酸化物を電極上に堆積させ、この堆積された酸化物を含む前記電極上に前記強誘電体膜を形成する、強誘電体キャパシタの形成方法。

【請求項7】 請求項1~5のいずれか1項に記載した強誘電体膜を形成するに際し、前記強誘電体膜の構成金属元素のうちの少なくとも1種の元素の酸化物を堆積させた電極上に、前記強誘電体膜を形成する、強誘電体膜の形成方法。

【請求項8】 強誘電体膜をゾルゲル法によって形成する、請求項7に記載した形成方法

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、強誘電体キャパシタ（特に、チタン酸ジルコン酸鉛（PZT）膜を有する半導体メモリセルのキャパシタ）と、強誘電体キャパシタ及び強誘電体膜の形成方法に関するものである。

【0002】

【従来の技術】例えば、ダイナミックRAMのメモリセルのキャパシタを構成する絶縁膜（誘電体膜）としては、 SiO_2 と Si_3N_4 と SiO_2 とが順次積層された構造のONO膜が使われている。

【0003】しかし、このONO膜の実効的な比誘電率は約1程度と小さいため、256Mbit以降の大容量メモリに適用した場合、面積的な制約下でキャパシタ誘電体膜の膜厚を薄くしたり、面積を拡張するために複雑な形状が要求される等、プロセス的に大きな困難を伴う。

【0004】これに対して、ペロブスカイト結晶構造型の強誘電体材料は、比誘電率が数100から数1000と極めて大きいことから、将来のダイナミックRAM用のキャパシタの絶縁膜材料として注目されている。

【0005】強誘電体材料のうちPb（Zr，Ti）の O_3 で示されるPZT膜を形成するには、薄膜形成法としてゾルゲル法、CVD（化学的气相成長法）、スパッタリング法等が採用可能であるが、そのなかでもゾルゲル法による形成が好適である。

【0006】ゾルゲル法による成膜においては、調製された原料溶液（ゾルゲル溶液）の良し悪し、成膜工程とその条件、及び基板の選択が最終的に得られる薄膜の電気的特性を決定することになる。

【0007】図18には、従来の下部電極構造の例（1）と（2）を示す。即ち、誘電体の下部電極構造として、上部から順にPb、Ti、TiN構造の電極（以下、Pb、Ti（TiNと略すことがある。）又は、Pb、TiN構造の電極（以下、Pb（TiNと略すことがある。））が設けられ、 SiO_2 下地層21のコンタクトホール11中のポリSi（Poly-silicon）導電層30に接合されている。各下部電極の上面にそれぞれ、ゾルゲル法により形成した膜厚200nmのPZT膜7-1又は7-2が形成されている。各電極においては、TiNバリア層20が設けられているが、前者の電極では、Pb層6の直下にTi層22が更に設けられている。

【0008】これらのPZT薄膜を比較すると、図3の（B）と（C）にこれらのPZT薄膜のSEM（Scanning electron microscope）観察写真に示す如く、Pb、Ti、TiN電極では、微細な粒子が形成されており、極めて緻密なPZT薄膜が得られるが、Pb、TiN電極においては、ロゼット（rosette）と呼ばれる粒径から0.1 μm から100 μm の巨大な粒子が形成されていることが分かる。

【0009】そして、これら2つのPZT薄膜の表面に白金電極を形成し、電気測定を行うと、Pb、Ti、TiN上に形成した薄膜は4Vを印加したときの漏れ電流値が約 $6 \times 10^{-7} \text{ A}/\mu\text{m}^2$ であるのに対して、Pb、TiN上に形成した薄膜では約 $2 \times 10^{-4} \text{ A}/\mu\text{m}^2$ である（図5参照）。これは、Ti層をPb層とTiN層との間に設けた電極の上に形成した薄膜の方が優れたI-V特性を示すことを示している。

【0010】この理由は、Pb、Ti、TiN電極では、熱処理の際に、下地のTiがPb表面まで拡散し、酸化されて TiO_2 が形成され、これがPZT薄膜の成長時にPZT結晶化を促進する核密度を増加させるために緻密な膜構造のPZTになるものと考えられる。

【0011】しかしながら、Pb、Ti、TiN電極においては、ゾルゲル法におけるPZT焼結の際に下地のTi層22が酸化されるために、Pb、TiN間のコンタクト抵抗が増加する（例えば、通常の80 $\Omega/\mu\text{m}^2$ が3000 $\Omega/\mu\text{m}^2$ となる。）などの深刻な問題が発生し易い。このため、良好な結晶状態のPZT薄膜の形成と、Ti中間層の酸化の問題の解消とを同時に実現することが難しい。

【0012】他方、PZTの結晶性を改善するために、一口、結晶化し易いペロブスカイト系物質をPし電極上に形成する方法が知られている。例えば、Pし上に膜厚50nmのPbO（チタン酸鉛、 $PbTiO_3$ ）層を形成した後にゾルゲル法でPZT薄膜を形成する方法がある。また、CVD法によるPZTについては、PLT（チタン酸鉛-ランタン、 (Pb, La) ）（Ti, Zr）（ $LaTiO_3$ ）層をPし上に形成した後にPZT薄膜を形成している。

【0013】しかし、これらの方法はいずれも、PしとPZTとの界面に、PZTとは誘電率の異なるPTの層やPLT層が存在するため、キャパシタとしての性能（例えば残分極密度、誘電率等）が劣化し易い。

【0014】

【発明が解決しようとする課題】本発明の目的は、ゾルゲル法等の成膜方法において緻密な構造であってかつ良好な電気的特性を示すPZT等の強誘電体薄膜の形成を可能にする電極構造を有するキャパシタと、このキャパシタ及び強誘電体膜の形成方法を提供することにある。

【0015】

【課題を解決するための手段】本発明者は、上記したPし表面に意図的に塊状の酸化チタン（ TiO_2 ）を分散堆積させ、PZT結晶化の核生成を促進することによってPZT粒子を微細化し、緻密な構造のPZT薄膜の形成を可能にする電極構造と、それを用いたPZTキャパシタの製造方法を見出し、Pし電極におけるPし層の振舞いを明らかにし、新規な電極構造とPZTキャパシタの製造方法を確立し、本発明に到達したのである。

【0016】即ち、本発明は、電極と、この電極上に形成された強誘電体膜とを具備し、前記電極と前記強誘電体膜との界面に、前記強誘電体膜の構成金属元素のうちの少なくとも1種の元素の酸化物が堆積されている強誘電体キャパシタに係るものである。

【0017】本発明のキャパシタにおいて、上記の電極が常温で酸化されにくいPし等導体からなり、上記の酸化物が常温で酸化され易い金属の酸化物（例えば TiO_2 等の TiO_x ）からなり、また、この金属酸化物が、膜厚0.01～10nmの堆積物からなるのがよい。

【0018】また、上記の電極下には、キャパシタ構成元素の拡散を防止するための TiN 等のバリア層を設けておくのがよい。上記の強誘電体膜がチタン酸ジルコン酸鉛系（例えばPZTである）のがよい。

【0019】本発明によれば、例えば、Pし、 TiN 間に従来のように Ti 中間層を設けることなしに、緻密な構造のPZT薄膜の形成が可能になり、かつ、 Ti 中間層のように酸化によるコンタクト抵抗の増大の問題も生じない。従って、PZT等の強誘電体膜を良好な結晶状態で形成すること（リーク電流の減少）と中間層の酸化の問題の解消（コンタクト抵抗の減少）とを同時に実現

できる。

【0020】本発明はまた、上記の強誘電体キャパシタ又は強誘電体膜を形成するに際し、前記強誘電体膜の構成金属元素のうちの少なくとも1種の元素の酸化物を電極上に堆積させ、この堆積された金属酸化物を含む前記電極上に前記強誘電体膜を形成する。強誘電体キャパシタ又は強誘電体膜の形成方法も提供するものである。

【0021】この方法においては、キャパシタ電極の形成に際し、強誘電体膜と接する電極の最表面に金属酸化物を島状に堆積させた後、ゾルゲル法によって強誘電体膜を形成するのがよい。

【0022】

【実施例】以下、本発明を実施例について説明する。

【0023】まず、図1について、本発明によるPZT薄膜を有する強誘電体キャパシタCAPと、これを組み込んだ半導体デバイス、例えば揮発性記憶素子であるダイナミックRAMを概略的に説明する。

【0024】このデバイスにおいては、シリコン基板1上に例えばN型ソース領域3とN型ドレイン領域4が不純物拡散でそれぞれ形成され、これら両領域間にはゲート酸化膜5を介してワードラインWLが設けられ、ドレイン領域4にはビットラインBLが接続されている。

【0025】キャパシタCAPはスタック型と称されるものであって、ソース領域3-ポリシリコン層3'-バリア層20-Pし層6-TiO_x層31からなる下部電極が接続され、この下部電極上にPZT強誘電体膜17及び上部電極18が順次積層されている。この構造では、Pし6上にTiO_x31を核付けしたPし電極を形成していることが特徴的である。

【0026】次に、図1の強誘電体キャパシタCAPの基本的な下部電極、強誘電体膜を、例えばSiウエハ上のSiO₂層を下地層として、その上に形成する方法を図2について説明する。まず、工程1において、熱酸化したSiウエハ1上にSiO₂層21を膜厚10nmに成長させ、この上に膜厚200nmのTiN薄膜20を反応性スパッタ法によって形成した。

【0027】次いで、工程2において、工程1で形成したTiN薄膜20上に膜厚200nmのPし薄膜6を電子線加熱方式の蒸着法によって形成した。

【0028】次いで、工程3において、工程2で形成したPし薄膜6上にTiO_xターゲットを用いたRFスパッタリング法により膜厚3nm相当のTiO_x31を堆積させた。図7に、酸化チタン（TiO₂）を核付けしたPし、TiN電極（A）と処理のPし、TiN電極（B）の各表面のAFM（Atomic force microscope：原子間力顕微鏡）像を示した。図7（A）で島状に観察されるものが酸化チタンであり、電極表面に散在していることが分かる。

【0029】工程1から工程3において作製したTiO

5

α/Pt/TiN構造が核付けしたPt電極である。このPt薄膜表面に堆積させたTiO_xがPZT結晶の核として動く。

【0030】次いで、工程4において、膜厚200nmの非晶質状態のPZT薄膜17をゾルゲル法により形成した。非晶質薄膜の形成温度は480℃(10分間、空气中)であった。このゾルゲル法の原料溶液は、Pb(CH₃COO)₂・3H₂O、Ti(CH₃COO)₄・2H₂O、Zr(CH₃COO)₄・2H₂O、及びNH₄OHの混合溶液であってよく、これを塗布、乾燥した。

【0031】次いで、工程5において、工程4で形成した非晶質PZT薄膜17を大気中で600℃、10分間焼結した。この焼結処理によってPZTは結晶化し、ペロブスカイト構造の強誘電体薄膜17になる。この結晶化の際に、非晶質PZT17とPtとの界面のTiO_xがPZTの核密度を増加させ、緻密な構造の薄膜17を形成させる。

【0032】次いで、工程6において、工程5で形成したペロブスカイト結晶のPZT薄膜17上に膜厚30nmのPt上部電極18を電子線加熱方式の蒸着法により形成した。これにより、PZTキャパシタCAPが形成された。このPZT薄膜の組成は、原子数比でPb:Zr:Ti=1.1:0.5:0.5であってよい。

【0033】図3(A)に、TiO_xを核付けした上記のPt/TiN電極上に形成したPZT薄膜17のSEM観察写真を示す。これによれば、図3(B)や(C)に示したようにPt/TiN/TiN電極やPt/TiN電極上に形成したPZTの粒径は500nmから1000nmと極めて大きいものに対して、図3(A)に示したようにTiO_xがPt/TiN電極上に形成したPZTは粒径10nm以下の微細な粒子であり、かつ緻密な構造(厚み方向も一様な膜構造)の薄膜になっている。即ち、本発明に基づいて、核として堆積させたTiO_xがPZT粒子を微細化及び緻密化する効果が確認された。

【0034】図4には、核として堆積させたTiO_xの粒径によるPZT薄膜の表面を示すものである。これによれば、TiO_xの粒径によってPZTの粒径が異なっているが、これらの間にはTiO_xの粒径に対応した関係が直接には存在していないようである。図4に示した粒径は勿論のことであるが、TiO_xの粒径が0.5~50nmの範囲ではPZT薄膜の微細化、緻密化の効果が得られる。

【0035】次に、上記のように、TiO_xを核付けしたPt/TiN電極上に形成したPZT薄膜とTiO_xを核付けしないPt/TiN電極上に形成したPZT薄膜とについて、電気特性を比較する。

【0036】まず、図5にI-V特性を示す。このデータによれば、Pt/TiN電極上に形成したPZT薄膜の漏れ電流値は印加電圧の増加に伴って著しい増加を示

6

すが、TiO_x核付けしたPt/TiN電極上に形成したPZT薄膜の漏れ電流値は印加電圧に依存せず、ほぼ一定である。4Vを印加したときの漏れ電流値は、TiO_x核付けしたPt/TiN電極においては1×10⁻⁷A/cm程度であるが、核付けしないPt/TiN電極においては約2×10⁻⁵A/cm²(Pt/TiN/TiN電極の場合は約6×10⁻⁵A/cm²)である。核付けによってI-V特性が著しく向上したことが明らかである。

【0037】また、図5に示すように、電極として、TiO_x核付けしたPt/TiN以外にも、TiO_x核付けしたIr(イリジウム)を使用した場合も、漏れ電流値が約1×10⁻⁷A/cm²であり、Pt/TiN電極と同等の優れたI-V特性を示すことが分かる。Irを電極として用いた場合、PZT薄膜の表面を図5に示すが、PZTは粒径100nm以下の微細な粒子であって緻密であることが分かる。

【0038】図6には、核付けしたPt/TiN電極上に形成した薄膜について、最大電圧3V及び5Vにおいて測定したヒステリシス曲線を示す。3Vでは残留分極密度13.7nC/cm²、抗電界値53kV/cmの特性が得られている。5Vにおいては残留分極密度18.7nC/cm²、抗電界値2kV/cmを示した。一方、核付けしないPt/TiN電極上に形成した薄膜では、漏れ電流値が大きいため分極特性を測定できなかった。

【0039】上記したTiO_xを核付けしたPt/TiN上にPZT薄膜を形成してなるキャパシタについて、そのキャパシタ性能であるI-V特性や分極率は、図5及び図6に示した通り、良好であった。また、このキャパシタのコンダクト抵抗は、80Ω/cm²と良好であった。

【0040】以上に説明した実施例では、TiO_xを核付けしたPt基板上にゾルゲル法によってPZT成膜を行った。この場合、TiO_xの粒径は通常0.5~500nmであり、5~200nmが望ましいが、TiO_xの粒径があまり小さくても大きくても、核付けの効果に乏しくなる。また、TiO_xの膜厚は通常0.01~10nmであり、0.5~5nmがよく、1.5~2.5nmが更によいが、あまり膜厚が薄すぎると核付けの効果に乏しく、厚すぎるとTiが膜中で凝集(偏析)して不均一な膜となり易い。

【0041】次に、本実施例によるキャパシタを組み込んだ半導体デバイス、例えば揮発性メモリであるクイナミックRAMのメモリセル(例えばスタック型のもの)を説明する。

【0042】まず、図16及び図17について、クイナミックRAMのメモリセルの一例を示す。

【0043】例えばPt型シリコン基板1の一面には、フィールド酸化膜3で区画された素子領域が形成され、ここに、MOSトランジスタからなるトランスフェケートTRとキャパシタCAPとからなるメモリセルMCELが設けられている。

7

【0044】トランスフェラートTRにおいては、例えばN⁺型ソース領域3とN⁺型ドレイン領域4が不純物拡散でそれぞれ形成され、これら両領域間にはゲート酸化膜5を介してワードラインWLが設けられ、ドレイン領域4にはSiO₂等の絶縁層9、10のコンタクトホール11を介してビットラインBLが接続されている。

【0045】キャパシタCAPはスタック型と称されるものであって、ソース領域3に絶縁層10のコンタクトホール12を介してバリア層20（更には、図示省略したポリSi層）及び下部電極6が接続され、この下部電極上にTiO₂核付け層31を介してPZT強誘電体膜17及び上部電極18が順次積層されている。

【0046】キャパシタCAPを構成する強誘電体膜17は、原料溶液を用いてゾルゲル法で形成したPZT、即ちPb(Zr、Ti)O₃膜からなっている。また、下部電極6は、例えばTiN層の上にPt等を付着したものからなっている。また、強誘電体膜17と接する上部電極18はPt、Au、又はアルミニウム等からなっている。

【0047】次に、このメモリセルM₀の作製方法を図9〜図16について説明する。

【0048】まず、図9のように、P⁺型シリコン基板（ウェハ）1上に選択酸化法によりフィールド酸化膜2を形成し、熱酸化法によるゲート酸化膜5及び化学的気相成長法によるポリシリコンワードラインWLをそれぞれ形成し、更にAs等のN型不純物の熱拡散でN⁺型ソース領域3及びドレイン領域4をそれぞれ形成する。

【0049】そして、全面に化学的気相成長法で堆積させたSiO₂絶縁層10に対し、ソース領域3上にフォトリソグラフィでコンタクトホール12を形成する。

【0050】次いで、図10のように、コンタクトホール12においてソース領域3に接合するように、TiN層（この下にはポリSi層を設けてよい）、20の上にPt層を有する下部電極6を形成し、更にTiO₂層31をスパッタで形成する。これは、全面に被着したTiN層、Pt層及びTiO₂層をフォトリソグラフィでパターニングすることにより形成可能である。

【0051】次いで、図11のように、下部電極及びTiO₂層を含め全面にスピンコート法又はディップコート法によって、ゾルゲル原料溶液27を塗布する。

【0052】次いで、原料溶液27を塗布したウェハを所定の温度（100〜300℃、例えば170℃）で例えば3分間加熱し、塗布した溶液の乾燥を行い、図12のように乾燥ゲル膜27を形成する。

【0053】次いで、乾燥を完了したウェハを480℃で処理して非晶質化した。そして、大気中でペロブスカイト結晶が生成する温度（600℃以上、例えば600℃）で例えば1分間焼結（酸化焼結）し、図13のように、強誘電体膜17を全面に形成する。

【0054】なお、強誘電体膜17を所定の膜厚（例えば

8

200Å）に形成するには、必要に応じて図11の塗布工程と図12の乾燥工程と上記焼結工程とを繰り返して一度に目的とする塗布厚にするのではなく、乾燥膜を積層して最終膜厚を得ることができる。

【0055】次いで、図14のように、全面に形成した強誘電体膜17の不要な部分をドライエッチング法などによって除去し、下部電極6上にPZT強誘電体膜17を所定パターンに形成する。

【0056】次いで、図15のように、フォトリソグラフィによって、強誘電体膜17との接合部に白金等からなる上部電極18を所定パターンに形成する。

【0057】更に、公知の方法で層間絶縁膜9、コンタクトホール11、ビットラインBLをそれぞれ形成し、図16に示した如きメモリセルを作製する。

【0058】このメモリセルでは、キャパシタCAPの強誘電体膜17を本発明に基づくTiO₂核付けしたPZT電極上に形成しているため、上記したようにその膜組織が緻密で粒子が微細であり、残留分極値が大きく、リーク電流の少ない電気特性を得ることができる。

【0059】以上、本発明の実施例を説明したが、上述の実施例は本発明の技術的思想に基づいて更に変形が可能である。

【0060】例えば、電極材料と核付け物質について、まず、電極材料としては、PZTの結晶化温度に耐え、酸化しにくく、常温で導体であり、Tiを含まない金属又は酸化物であれば、Pt以外にも、Ir、Pd、Pt-Ir合金、Cr、Ni、Ni-Cu合金、Ru、Os、TiN、Ta₂N、IrO₂等であってよい。そして、この電極の表面に堆積させる核付け物質としては、TiO₂等のTiO₂を用いたが、常温下で酸化物となり易い金属であればTiをはじめ、Ti以外のZr、Pb、Sr、Ba、La、Zn、Nb、Feの元素のうちの1種又は1種以上の酸化物を電極上に堆積させることができる。

【0061】ここで使用可能な上記金属のうち、La、Zn、Nb及びFeは強誘電体膜に添加可能な元素である。Ti、Zr及びPbはPZTの主成分であり、Sr及びBaはBSTO（Sr、Ba）TiO₃の主成分である。

【0062】上記金属の酸化物を形成するには、スパッタ法だけでなく、高真空中での電子線加熱方式の蒸着法などにより、Ti、Zr、Pb、Sr、Ba、La、Zn、Nb、Feを堆積させた後、含酸素環境（例えば大気中）で自然酸化させる方法も可能である。

【0063】この場合、中でもTiは極めて活性な物質であるため、電子線加熱方式の蒸着法により形成される堆積物は蒸着室中の残留酸素により酸化されるので、強いて酸化処理を行う必要がない。TiO₂の膜厚は0.01nmから10nmが好ましい。酸化物の堆積方法はスパッタ法、CVD法、蒸着法が挙げられる。

【0064】核付けによる効果は電極層の厚みに係わらず期待できることから、電極層の厚みは0.05nm以上としてよい。

【0065】電極構造としては、核付け物質層（電極層）のバリア層であり、電極下部のバリア層は、その下部に下地層、例えば SiO_2 層を設け、 SiO_2 下地層に設けたコンタクトホール中のポリ Si 導電層に接合される構造が考えられる。適用可能な構造は例えば TiO_2 、 Pb 、 TiN 、 Si であるが、上記した材料の組み合わせから他の代表的な構造として、 TiO_2 、 TiF_4 、 TiN 、 Si 、 TiO_2 、 TiF_4 、 Si 、 TiO_2 、 Pb 、 RuO_4 、 Si 、 TiO_2 、 TiF_4 、 TiO_2 、 Si 、 TiO_2 、 RuO_4 、 Si 、 TiO_2 、 TiN 、 Si 、 TiO_2 、 Ni 、 Ti 、 Si 、 TiO_2 、 TiF_4 （Indium tin oxide）、 Si 、 ZrO_2 、 Pb 、 RuO_4 、 Si 等が挙げられる。

【0066】ゾルゲル法以外のPZT薄膜の形成方法として、スパッタ法、CVD法、レーザアブレーション法等が挙げられる。CVD法やスパッタ法による成膜では、まず Pb 基板上に TiO_2 など析出する物質を堆積させ、その後PZT薄膜を形成することも可能である。

【0067】使用可能な強誘電体膜の材質は、上記のPZT以外にも、PZTに Nb 、 Zr 、 Fe 等を添加したPZT-BSTO（ Sr 、 Ba ）、 PbO_2 、 PbLT （ Pb 、 La ）、 Ti 、 Zr ）、 O_2 ）等であってよい。

【0068】本発明に基づく強誘電体膜は、例えば図1に示した Pb 、PZT、 Pb のバリア層（ポリ Si ）構造のキャパシタ（スタック型キャパシタ）を有するデバイスに適用可能であるが、これに限らず、 SiO_2 膜上に上述のスタック型キャパシタを設けてこのキャパシタの下部電極を延設してトランスファゲートのソース領域と接続する構造としてよいし、或いはスタック型ではなく、いわゆるトレンチ（溝）内にキャパシタを組み込んだ構造のキャパシタにも適用可能である。

【0069】

【発明の作用効果】本発明は、上述した如く、電極と、この電極上に形成された強誘電体膜とを具備し、前記電極と前記強誘電体膜との界面に、前記強誘電体膜の構成全元素のうち少なくとも1種の元素の酸化物が堆積されているので、ゾルゲル法等の成膜方法において緻密な構造であってかつ良好な電気的特性を示すPZT等の強誘電体薄膜の形成を可能にする電極構造を有するキャパシタと、このキャパシタ及び強誘電体膜の形成方法を提供することができる。

【0070】即ち、本発明は、既述した従来技術とは異なり、酸化チタン等の比較的容易に形成できる物質を電極表面に塊状に分散、堆積させることによってPZT等の析密度を増加させ、その結晶化を促進し、結晶粒子

を微細化し、緻密な構造の強誘電体薄膜の形成を可能にするものである。

【0071】従って、本発明によれば、強誘電体膜の厚み方向に一樣な膜構造を提供できる。そして、下部電極の下地層として Ti 層を必要としないので、含酸素雰囲気における成膜においても電極内部に TiO_2 層が形成されることがないので、コンタクト抵抗増加の問題が発生しない。本発明はこれらの問題点を一挙に解決するものである。

【図面の簡単な説明】

【41】本発明に基づく強誘電体キャパシタを組み込んだ半導体デバイスの概略断面図である。

【42】同キャパシタの作製フローを示す各概略断面図である。

【43】 Pb 基板上に形成したPZT薄膜のSEM像を比較して示す各スケッチ図である。

【44】種々の TiO_2 核を持つ Pb 基板上に形成したPZT薄膜のSEM像を比較して示す各スケッチ図である。

【45】各種基板上に形成したPZT薄膜のI-V特性図である。

【46】同PZT薄膜の分極値のヒステリシス曲線図である。

【47】 TiO_2 を核付けした電極と同核付けをしない電極の各表面のAFM像を比較して示す各スケッチ図である。

【48】 TiO_2 を核付けした Pb 基板上に形成したPZT薄膜のSEM像のスケッチ図である。

【49】本発明に基づく強誘電体キャパシタを組み込んだダイナミックRAMのメモリの製造方法の一工程段階を示す拡大断面図である。

【410】同メモリの製造方法の他の一工程段階を示す拡大断面図である。

【411】同メモリの製造方法の他の一工程段階を示す拡大断面図である。

【412】同メモリの製造方法の他の一工程段階を示す拡大断面図である。

【413】同メモリの製造方法の他の一工程段階を示す拡大断面図である。

【414】同メモリの製造方法の他の一工程段階を示す拡大断面図である。

【415】同メモリの製造方法の更に他の一工程段階を示す拡大断面図である。

【416】同メモリの拡大断面図（417のXVI-XVI線断面図）である。

【417】同メモリの拡大断面図である。

【418】従来の強誘電体キャパシタの二例の概略断面図である。

【符号の説明】

1・・・シリコン基板

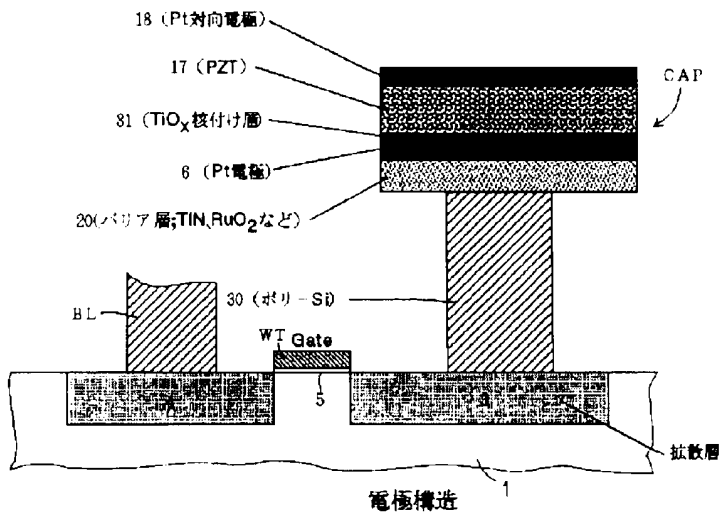
1 1

1 2

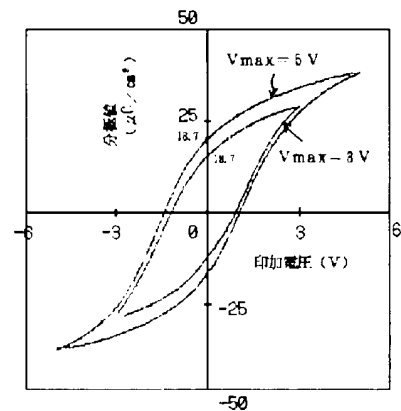
- 3・・・N⁺型ソース領域
 4・・・N⁺型ドレイン領域
 6・・・Pt電極
 7-1、7-2、17・・・強誘電体膜(PZT薄膜)
 18・・・上部電極
 20・・・バリア層
 21・・・下地層
 22・・・Ti層

- 30・・・ポリSi層
 31・・・TiO_x層
 CAP・・・強誘電体キャパシタ
 TR・・・トランスファゲート
 M-CEL・・・メモリセル
 WL・・・ワードライン(ゲート電極)
 BL・・・ビットライン

【図1】

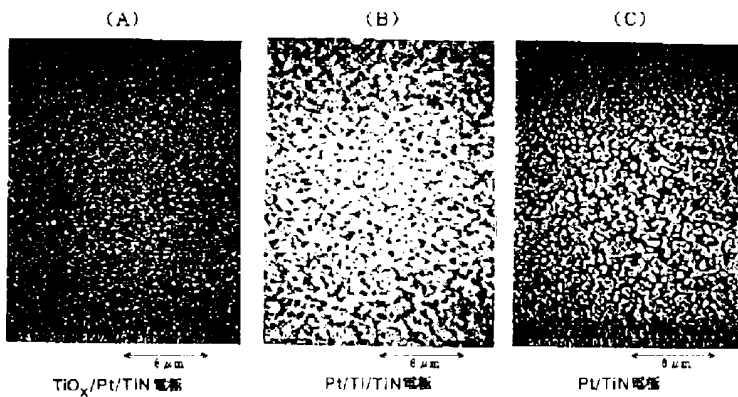


【図6】



酸化チタンを核付けたPt/TiN電極上に形成した
 PZT薄膜のP-E特性

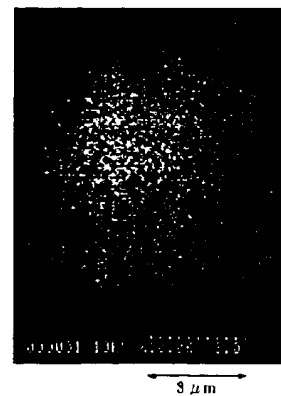
【図3】



酸化チタンを核付けたPt/TiN電極上に
 形成したPZT薄膜のSEM像

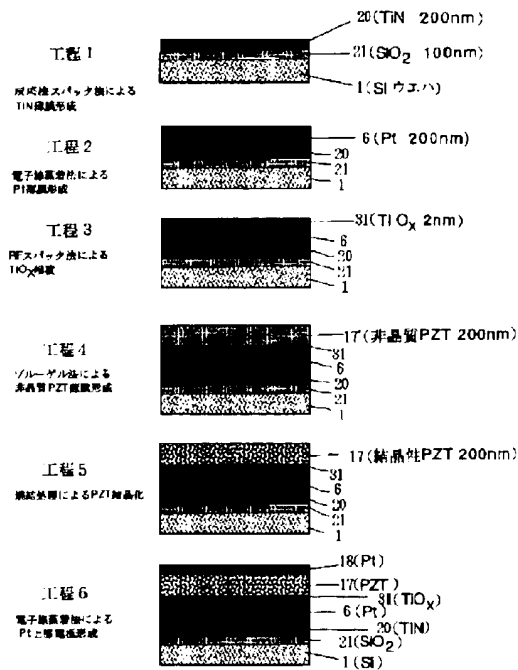
Pt/Ti/TiN及びPt/TiN電極上に形成した
 PZT薄膜のSEM像

【図8】



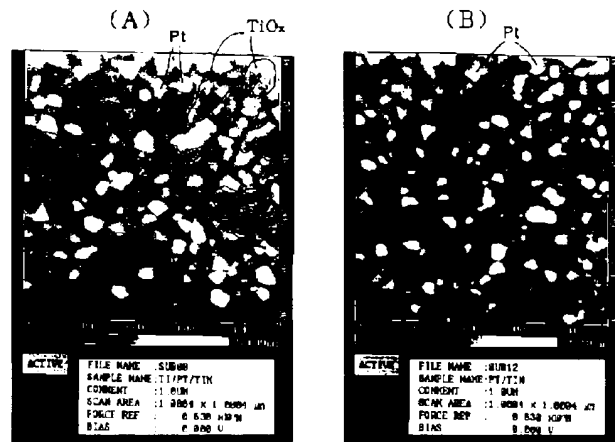
酸化チタンを核付けたPt電極上に
 形成したPZT薄膜のSEM像

【図2】



酸化チタンを核付したPt電極とPZTキャパシタの形成方法

【図7】

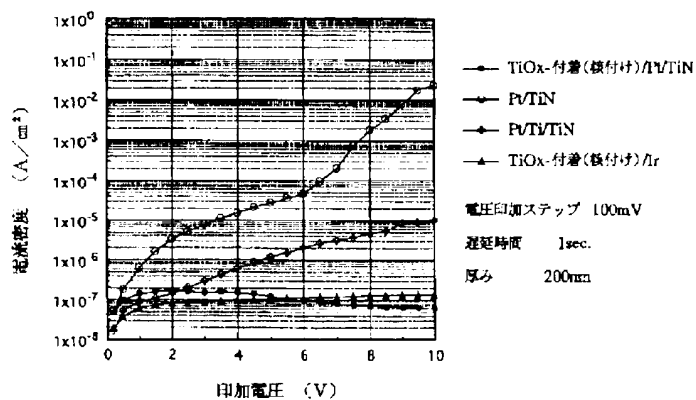


TiO_xを核付けたPt/TiN電極表面

Pt/TiN電極表面

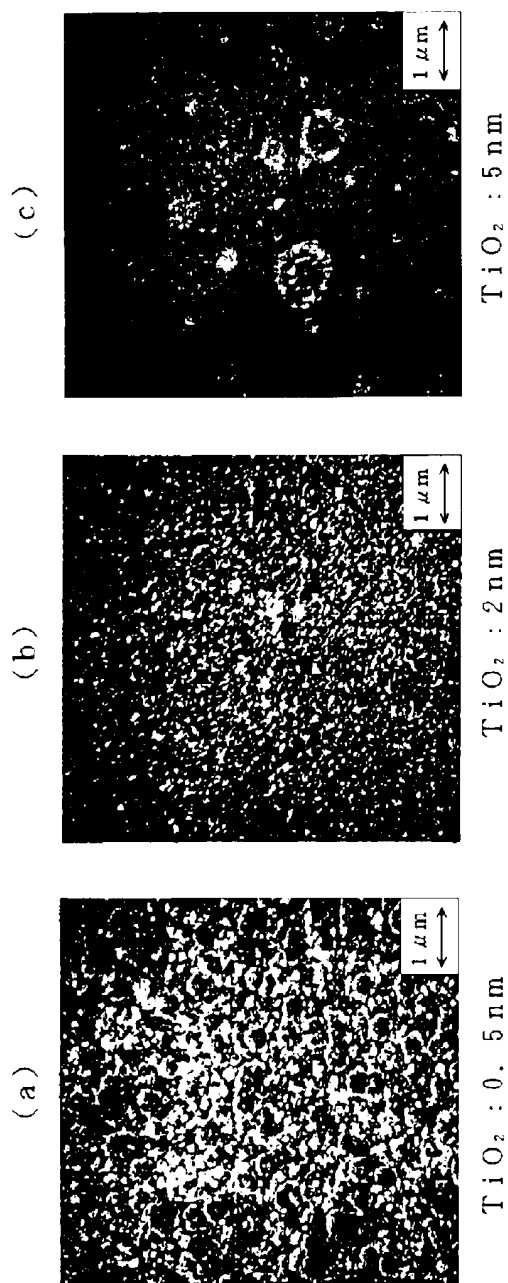
核付けたPt/TiN電極と未処理のPt/TiN電極表面のAFM像

【図5】

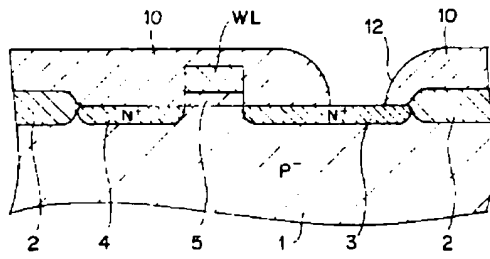


種々の電極上に形成したPZT薄膜のI-V特性

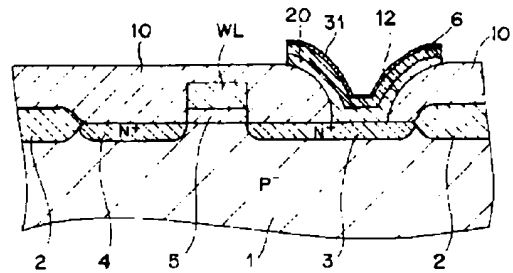
【図4】

種々の TiO_2 核を持つPt電極上のPZT薄膜のSEM像

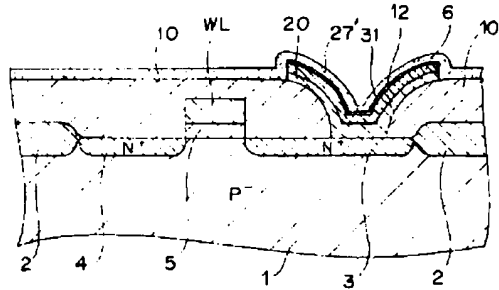
【図9】



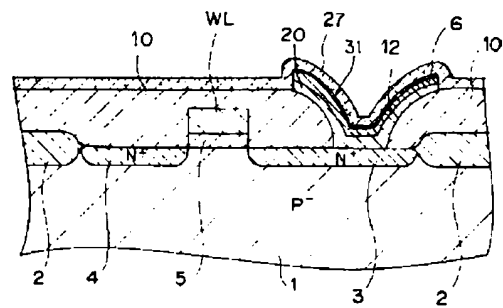
【図10】



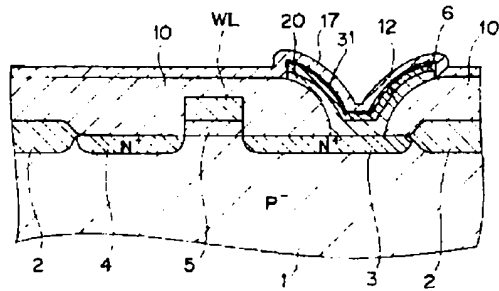
【図11】



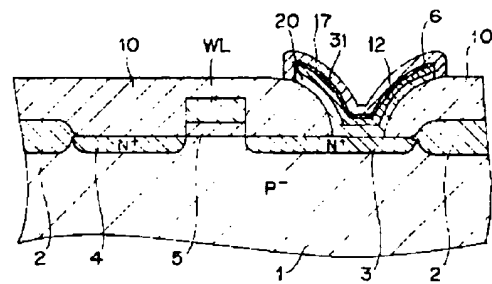
【図12】



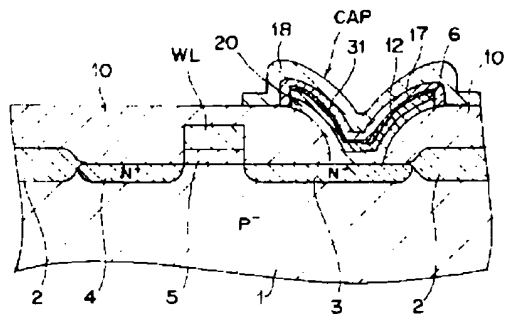
【図13】



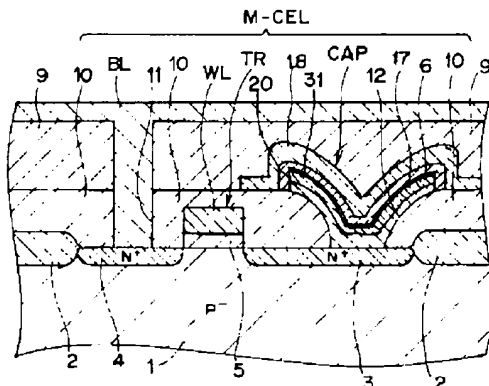
【図14】



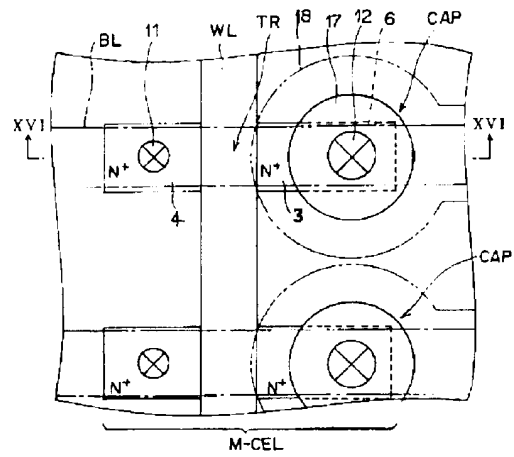
【図15】



【図16】



【図17】



【図18】

